

Klausur Integrierte Schaltungen (07.03.2013)

Klausur
“Integrierte Schaltungen”

07.03.2013

Hinweise: Beantwortung der Fragen bitte nur auf den Aufgabenbättern! (inkl. Rückseite)

Nur vom Assistenten angeheftete und abgezeichnete Zusatzblätter werden bewertet!

Zur Lösung der Klausur sind keine Hilfsmittel wie Taschenrechner, Formelsammlungen, Aufzeichnungen, Bücher etc. erlaubt!

Dauer: 60+15 min

<i>Aufgabe</i>	<i>1</i>	<i>2</i>	<i>3</i>	<i>4</i>	<i>5</i>	<i>Zusatz</i>	<i>Gesamt</i>
<i>Punkte</i>							

Viel Erfolg!

Aufgabe 1 – MOS-Transistor / Technologie (18 Punkte)

- a) Zeichnen Sie den prinzipiellen Querschnitt eines **p**-Kanal-Transistors in einem p-dotierten Substrat. Bezeichnen Sie die 4 Anschlüsse Gate, Source, Drain, Bulk, die Materialien und die vorhandenen Dotierungstypen ein. (4 P)
- b) Zeichnen Sie in dieses Bild den Kanal für einen Sättigungsbereich ein. (2 P)
- c) Nennen Sie die Stromgleichungen eines **n**-Kanal-Transistors für den Trioden- und Sättigungsbereiche. (2 P)
- d) Leiten Sie aus den beiden Stromgleichungen die Steilheit g_m und den Ausgangswiderstand r_o ab. (4 P)
- e) Was bedeuten die Begriffe BEOL (back end of line) und FEOL (front end of line) bei der Herstellung von integrierten Schaltungen (kurze Antwort). (2P).
- f) Welche zwei wesentliche Checks bzw. Überprüfungen müssen nach der Erstellung des Layouts und der Schaltung gemacht werden, bevor die Schaltung hergestellt wird? (2P)
- g) Die Auswirkungen aufgrund der Prozessschwankungen sollen verringert werden. Muss die Fläche eines einzelnen Widerstands (fester Wert) größer oder kleiner ausgelegt werden? Begründen Sie! (2P)

Aufgabe 2 – Inverter mit ohmscher Last (19 Punkte)

- a) Zeichnen Sie das Schaltbild eines Inverters mit ohmscher Last und beschriften Sie die Anschlüsse. (2P)
- b) Zeichnen Sie die Übertragungskennlinie eines Inverters mit ohmscher Last. Kennzeichnen Sie genau die unterschiedlichen Arbeitsbereiche des Transistors.
Hinweis: Verwenden Sie Hilfslinien. (4P)
- c) Berechnen Sie den minimalen Ausgangspegel des Inverters mit passiver Last (es dürfen nur U_{DD} , U_T , β und R_L enthalten sein).
Hinweis: Das Ergebnis ist eine Lösung einer quadratischen Gleichung. (5P)
- d) Bestimmen Sie die Verstärkung für **sehr kleine** Frequenzen mit Hilfe des Kleinsignalersatzschaltbildes!
Hinweis: Was kann vernachlässigt werden? (4P)
- e) Handelt es sich um eine „ratioed“ oder „ratioless“ Logik? Begründen Sie kurz. (2P)
- f) Wie sollte der Inverter mit passiver Last dimensioniert werden, damit eine gute Störsicherheit gegeben ist? Begründen Sie kurz! (2P)

Aufgabe 3 – CMOS-Inverter (18 Punkte)

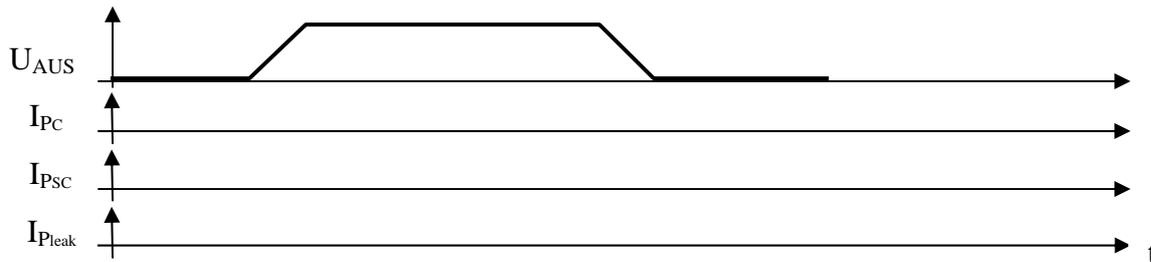
- a) Zeichnen Sie das Transistorschaltbild eines CMOS-Inverters. Beschriften Sie alle Anschlüsse! (3P)
- b) Zeichnen Sie das einfache Prinzipschaltbild des Inverters zur Bestimmung des Schaltverhaltens bzw. der Laufzeit! (3P)
- c) Geben Sie die Formel zur Bestimmung der Gatterlaufzeit an.
Hinweis: Die Betrachtung des Entladevorgangs genügt hier. (2P)
- d) Zeichnen Sie alle Kapazitäten ein, die für die Bestimmung des Schaltverhaltens (im Speziellen die äquivalente Lastkapazität) notwendig sind. (4P)
- e) Geben Sie an, welche Kapazitäten als interne und welche als externe Kapazitäten wirken. Schreiben Sie dabei die interne und externe Kapazität als Summe der Einzelkapazitäten auf **unter** Berücksichtigung des Fanout (F_0).
Hinweis: Verdrahtungskapazitäten können vernachlässigt werden. (4P)
- f) Welche Kapazität ist eine Millerkapazität? Begründen Sie kurz! (2P)

Aufgabe 4 – Latch und Register (18 Punkte)

- a) Was ist der Unterschied zwischen einem statischen und einem dynamischen Latch? (2P)
- b) Zeichnen Sie das Schaltbild eines positiven einfachen dynamischen Latches mit invertiertem Ausgang mit Hilfe von Invertern und Transmissions-Gattern. (2P)
- c) Entwickeln Sie für Aufgabe b) das Zeitverlaufdiagramm (Timing Diagramm) auch der internen Signale unter Berücksichtigung der Verzögerungen innerhalb eines dynamischen Latches bei einem Datenwechsel mittig von $CLK=1$.
Hinweis: Vernachlässigen Sie die Verzögerung des Inverters im Taktpfad. (4P)
- d) Zeichnen Sie das Schaltbild eines einfachen dynamischen Registers mit Hilfe von Invertern und Transmissions-Gattern. (4P)
- e) Begründen Sie **kurz**, warum in einem dynamischen Register die Verzögerung zwischen CLK und \overline{CLK} kritisch ist (*Hinweis: keine Erklärung*). (2P)
- f) Entwickeln Sie aus der Schaltung d) ein Schaltbild eines (pseudo-) statischen Registers. (4P)
Hinweis: Wie wird die Information in einem statischen Latch gespeichert?

Aufgabe 5 – Logikgatter (15 Punkte)

- a) Entwickeln Sie das Schaltbild eines 2-fach OR-Gatters (nicht NOR!) in der DCVS-Logik (Differential-Cascode-Voltage-Switch). (4P)
- b) Skizzieren Sie den prinzipiellen zeitlichen Verlauf der Ströme aus der Versorgungsleitung getrennt nach den entsprechenden drei Verlustleistungstypen eines CMOS-Inverters. (3P)



- c) Stellen Sie die logische Funktion $Z=A+\bar{B}$ in einer Wertetabelle dar (2P).
Hinweis: Nehmen Sie in die Tabelle auch die negierten Eingangssignale auf.
- d) Zeichnen Sie das Transistorschaltbild dieser Funktion c) unter Verwendung der Pass-Transistorlogik
Hinweis: Verwenden Sie nur n-Kanal-Transistoren (4P)
- e) Welches generelle Problem hat die Pass-Transistor-Logik (Kurze Antwort!)? (2P)

Zusatzaufgaben

- a) Wie lässt sich Verlustleistung einsparen – generell und im aktiven Betrieb. 1P
- b) Zeichnen Sie ein einfaches dynamisches Gatter für eine NOR-Funktion. 1P
- c) Warum können einfache dynamische Gatter nicht kaskadiert werden? 1P
- d) Welches Problem löst die Bewahrschaltung und wie? (kurze Antwort) 1P
- e) Was wird mit Hilfe des logischen und elektrischen Aufwands berechnet? 1P
- f) Was bedeutet kurz und knapp Metastabilität? 1P

Klausur Integrierte Schaltungen (07.03.2013)

Klausur Integrierte Schaltungen (07.03.2013)