

**Klausur (19.02.2007):
Technische Grundlagen der Informatik 1
Digitale Systeme
WS 2006/2007**

Vorname	:
Name	:
Matrikelnummer	:
Studiengang	:

Aufgabe	1	2	3	4	5	6	7	Σ
max. Punkte	10	18	12	14	13	13	20	100
erreichte Punkte								
Korrektor								

Wichtige Hinweise:

- Deckblatt ausfüllen
- Mobiltelefone sind auszuschalten
- für die Lösungen darf weder Bleistift noch Rotstift verwendet werden
- Taschenrechner und Vorlesungsscript sind erlaubt
- Betrugsversuche werden mit einem Nichtbestehen der Klausur geahndet
- Kopf aller abgegebenen Seiten ausfüllen bzw. mit Namen und Matrikelnummer versehen
- für die Lösungen Aufgabenblätter verwenden
- der Lösungsweg muss nachvollziehbar sein

Aufgabe 1 (10 Punkte)

- (a) Formen Sie die gegebene Funktion so um, dass sie auf NOR-Gatter mit beliebig vielen Eingängen abgebildet werden kann!

$$f(x) = x_0 \cdot x_1 + \overline{x_0} \cdot \overline{x_1} \cdot x_2 \cdot \overline{x_3} + \overline{x_0} \cdot \overline{x_1} \cdot \overline{x_2} \cdot x_3$$

- (b) Formen Sie die gegebene Funktion so um, dass sie auf NAND-Gatter mit beliebig vielen Eingängen abgebildet werden kann!

$$f(x) = (\overline{x_0} + \overline{x_1}) \cdot (x_0 + x_1 + \overline{x_2} + x_3) \cdot (x_0 + x_1 + x_2 + \overline{x_3})$$

Aufgabe 2 (18 Punkte)

Gegeben ist die Wahrheitstabelle der Funktion y :

x_3	x_2	x_1	x_0	y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0

- (a) Mit Hilfe von Quine-McCluskey sollen zunächst alle Primterme ermittelt werden!

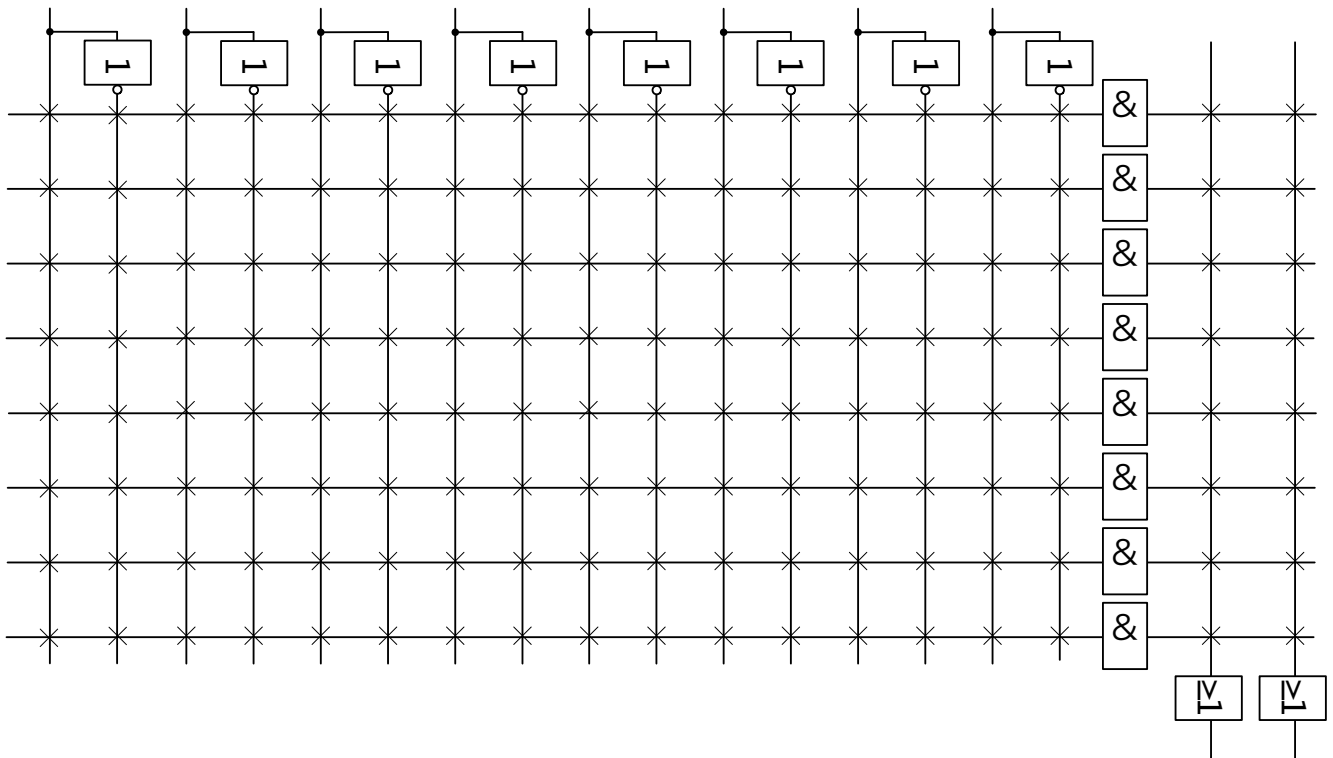
- (b) Ermitteln Sie die minimale Überdeckung der Funktion! Wählen Sie dazu aus den folgenden Verfahren das Passende aus: wesentlicher Primimplikant, Reihendominanz, Spalten-
dominanz, Branching. Der Lösungsweg muss nachvollziehbar sein.

Aufgabe 3 (12 Punkte)

In dem Logikplan des dargestellten PLA sind für die nachfolgend aufgeführten Funktionen die Programmierpunkte zu markieren. Die Gleichungsstruktur ist gegebenenfalls umzuformen, sodass das PLA möglichst effizient genutzt wird.

$$f_1(x) = (x_1 + x_0) \cdot (\bar{x}_2 + x_3 \cdot x_5) + x_2 \cdot \bar{x}_6$$

$$f_2(x) = x_1 \cdot x_3 \cdot x_5 + x_4 \cdot \bar{x}_6 \cdot x_7 + x_2 \cdot x_4 \cdot x_6$$



Aufgabe 4 (14 Punkte)

Der nachfolgende VHDL-Quellcode beschreibt eine einfache Logikschaltung.

Bemerkung: Die Komponente *AND_2* implementiert ein UND-Gatter mit zwei Eingängen.

```
entity gate is
    port( D, T : in bit;
          Q, Qn: inout bit);
end gate;

architecture mixed of gate is
    component AND_2
        port( in1, in2 : in bit;
              out1    : out bit);
    end component;

    signal int1, int2 : bit;
begin
    Q <= Qn nor int2;
    Qn <= Q nor int1;

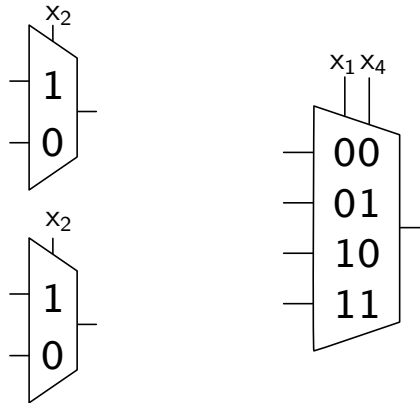
    and_inst1 : AND_2 port map(D, T, int1);
    and_inst2 : AND_2 port map(not(D), T, int2);
end mixed;
```

- (a) Zeichnen Sie das Schaltbild der Schaltung und beschriften Sie alle Leitungen mit den zugehörigen Signalnamen.

- (b) Welche Funktion erfüllt diese Schaltung?

Aufgabe 5 (13 Punkte)

Die Funktion $f(x) = x_1 \cdot \bar{x}_3 \cdot \bar{x}_4 + x_0 \cdot x_1 \cdot x_4 + \bar{x}_1 \cdot x_2 \cdot x_3 \cdot \bar{x}_4 + \bar{x}_0 \cdot \bar{x}_1 \cdot \bar{x}_2 \cdot x_4$ soll auf folgende Multiplexerstruktur abgebildet werden:



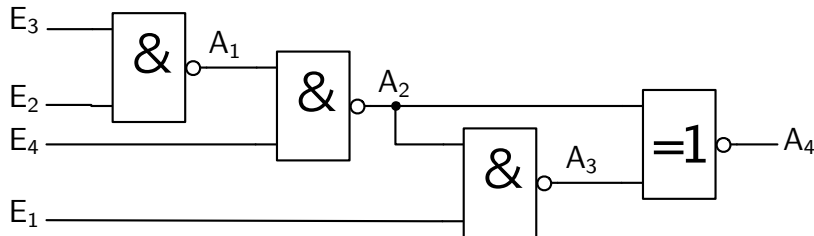
Die Ausgänge der 2 zu 1 Multiplexer lassen sich mit beliebigen Eingängen des 4 zu 1 Multiplexers verbinden.

- (a) Formen Sie die Funktion $f(x)$ mit dem Shannon-Verfahren so um, dass diese auf die gegebene Multiplexerstruktur abgebildet werden kann.

- (b) Belegen Sie die Eingänge und stellen Sie die notwendigen Verbindungen zwischen den Multiplexern her. Benutzen Sie dazu die oben gegebene Abbildung.

Aufgabe 6 (13 Punkte)

Gegeben ist folgende Gatterschaltung:



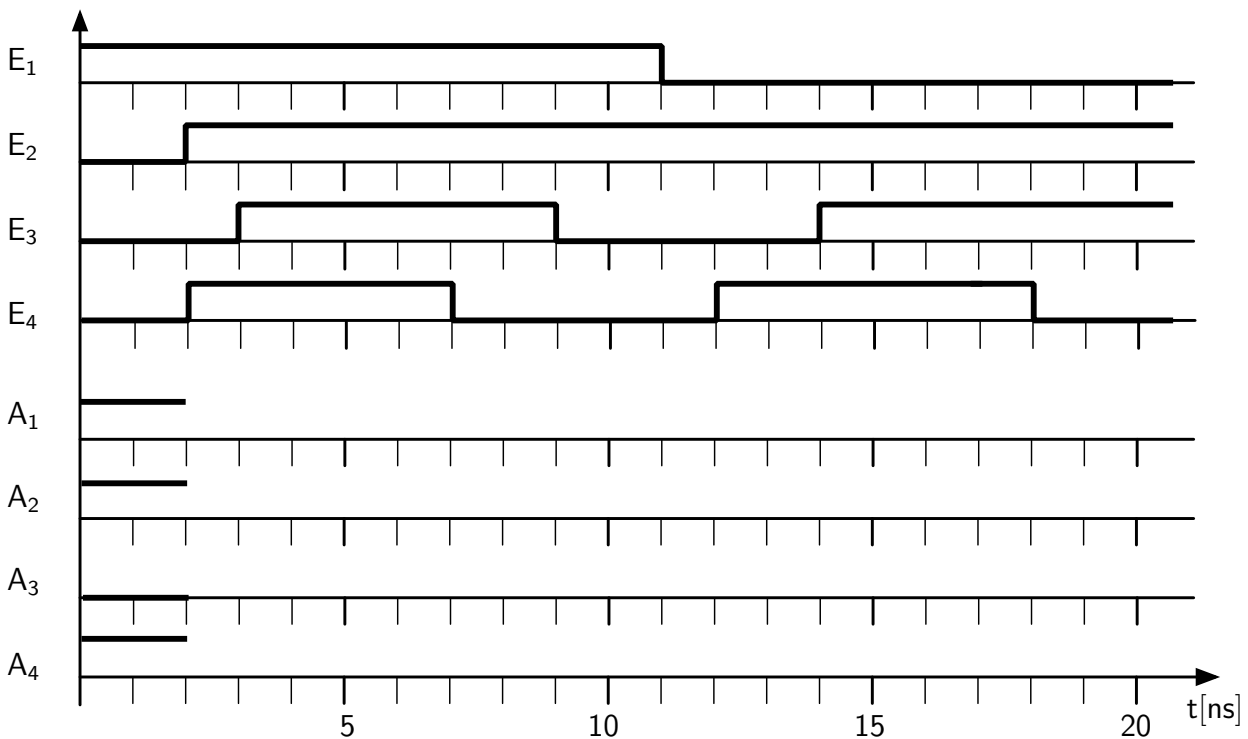
Für die Gatterverzögerungszeiten gilt:

XOR : $t_{pLH} = 1ns$; $t_{pHL} = 1ns$ NAND : $t_{pLH} = 1ns$; $t_{pHL} = 2ns$

Für alle Gatter gilt: $t_r = t_f = 0!$

Zeichnen Sie den Verlauf der Signale an den Punkten A_1 bis A_4 für den gegebenen Eingangssignalverlauf in das nachfolgende Diagramm ein!

Anmerkung: Für $t < 0$ gelte $E_1 = 1, E_2 = 0, E_3 = 0, E_4 = 0, A_1 = 1, A_2 = 1, A_3 = 0$ und $A_4 = 1$.



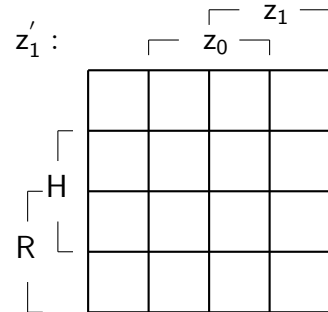
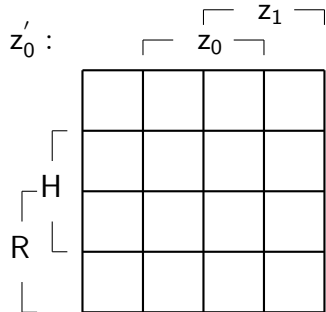
Aufgabe 7 (20 Punkte)

Es ist ein 2 Bit-Dualzähler („00“, „01“, „10“, „11“) als Moore-Automat zu entwerfen. Es existiert ein Signal H, das den Automaten anhält. Während er angehalten wird, gibt der Zähler den aktuellen Zählstand aus. Ein weiteres Signal R setzt den Automaten zurück. Das heißt er wird in den Zustand versetzt, in dem er die niedrigste Zahl („00“) ausgibt. Selbiges geschieht nach Erreichen der höchsten Zahl („11“). Das gleichzeitige Anliegen von Halte- und Rücksetzsignal ist ausgeschlossen. Verwenden Sie zur Implementierung des Automaten D-Flipflops!

(a) Zunächst ist der Zustandsgraph zu erstellen!

(b) Die Zustandstabelle soll entworfen werden!

- (c) Die Übergangsfunktionen sind mit Hilfe von KV-Diagrammen zu minimieren und aufzustellen!



- (d) Der Automat ist als Schaltwerk zu realisieren!