

**Klausur Integrierte Schaltungen (01.07.2014)**

**Klausur**  
**“Integrierte Schaltungen”**

**01.07.2014**

**Hinweise:** Beantwortung der Fragen bitte nur auf den Aufgabenbättern! (inkl. Rückseite)

**Nur vom Assistenten angeheftete und abgezeichnete Zusatzblätter werden bewertet!**

**Zur Lösung der Klausur sind keine Hilfsmittel wie Taschenrechner, Formelsammlungen, Aufzeichnungen, Bücher etc. erlaubt!**

**Dauer: 85 min**

<i>Aufgabe</i>	<i>1</i>	<i>2</i>	<i>3</i>	<i>4</i>	<i>5</i>	<i>Zusatz</i>	<i>Gesamt</i>
<i>Punkte</i>							

**Viel Erfolg!**

**Aufgabe 1 – MOS-Transistor / Technologie (19 Punkte)**

- a) Zeichnen Sie den prinzipiellen Querschnitt eines **n**-Kanal-Transistors in einem p-dotierten Substrat! Bezeichnen Sie die 4 Anschlüsse Gate, Source, Drain, Bulk, die Materialien und die vorhandenen Dotierungstypen! (4 P)
- b) Zeichnen Sie in dieses Bild den Kanal für den Betrieb des Transistors im Triodenbereich ein! (1 P)
- c) Zeichnen Sie das Ausgangskennlinienfeld eines NMOS-Transistors  $I_D = f(U_{DS})$  mit Kanallängenmodulation! Markieren Sie mit gestrichelter Linie den Bereichswechsel und kennzeichnen Sie die unterschiedlichen Arbeitsbereiche. (3 P)
- d) Nennen Sie die Stromgleichungen für den Unterschwellenbereich, Triodenbereich und Sättigungsbereich! Führen Sie auch die Bedingungen der jeweiligen Bereiche auf! (4 P)
- e) Leiten Sie aus den Stromgleichungen für den Trioden- und Sättigungsbereich den Ausgangswiderstand  $r_0$  ab! (3 P)
- f) Bei der Herstellung eines Transistors wirkt das Gate als Maske. Erläutern Sie, was man darunter versteht! Welchen Vorteil bietet das? (2 P)
- g) Was bedeuten die Begriffe BEOL (back end of line) und FEOL (front end of line) bei der Herstellung von integrierten Schaltungen (kurze Antwort)? (2 P)

**Klausur Integrierte Schaltungen (01.07.2014)**

## Aufgabe 2 – Kleinsignalverhalten (16 Punkte)

- a) Zeichnen Sie das komplette Kleinsignalersatzschaltbild des MOS-Transistors. (2 P)
- b) Zeichnen Sie das Transistorschaltbild eines Pseudo-NMOS-Inverters! Beschriften Sie alle Anschlüsse! (3P)
- c) Entwickeln Sie das Kleinsignalersatzschaltbild für einen Pseudo-NMOS-Inverter!  
*Hinweis: Vernachlässigen Sie nur Elemente, die keine Wirkung haben.* (3 P)
- d) Berechnen Sie mit Hilfe von c) die Übertragungsfunktion  $H(j\omega) = U_{out}(j\omega)/U_{in}(j\omega)$ ! Geben Sie die Funktion in folgender Form an:

$$H(j\omega) = k \cdot \frac{(1 \pm j \frac{\omega}{\omega_n})}{(1 \pm j \frac{\omega}{\omega_p})} ! \text{ Wie groß sind } \omega_n \text{ und } \omega_p?$$

(4 P)

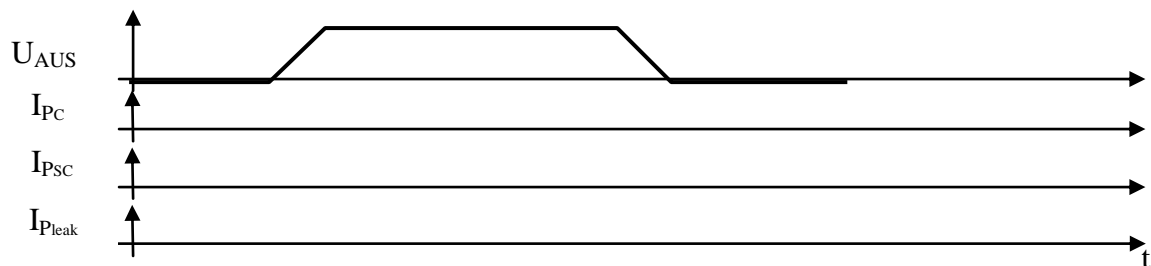
*Hinweis: Fassen Sie parallele Elemente gleichen Typs zu einem Element zusammen, um die Berechnung zu vereinfachen!*

- e) Zeichnen Sie den prinzipiellen Verlauf des Betragsamplitudengangs in Abhängigkeit von  $\omega$  (Frequenzgang) in doppellogarithmischer Darstellung! (2 P)
- f) Wie groß ist die Verstärkung bei sehr großen Frequenzen? (2 P)

**Klausur Integrierte Schaltungen (01.07.2014)**

**Aufgabe 3 – Inverter (19 Punkte)**

- a) Zeichnen Sie die Übertragungskennlinie des CMOS-Inverters mit  $U_{DD} = 4\text{ V}$  und  $U_T = U_{Tn} = -U_{Tp} = 1\text{ V}$ ! Beschriften Sie die Pegel  $U_{IL}$ ,  $U_{IH}$  sowie  $U_{OL}$  und  $U_{OH}$ ! (4 P)
- b) Welchen Vorteil und welchen Nachteil hat der CMOS-Inverter gegenüber dem Pseudo-NMOS-Inverter?  
*Hinweis: Zwei stichpunktartige Antworten sind ausreichend. (2 P)*
- c) Geben Sie die Formel zur Bestimmung der Gatterlaufzeit an.  
*Hinweis: Die Betrachtung des Entladevorgangs genügt hier. (2 P)*
- d) Zeichnen Sie das Transistorschaltbild eines CMOS-Inverters und zeichnen Sie alle Transistorkapazitäten ein, die für die Bestimmung des Schaltverhaltens (im Speziellen die äquivalenten Lastkapazitäten) notwendig sind. (5 P)
- e) Geben Sie an, welche Kapazitäten in d) als interne und welche als externe Kapazitäten wirken. Schreiben Sie dabei die Formel für die interne und externe Lastkapazität als Summe der Einzelkapazitäten auf **unter** Berücksichtigung des Fanout ( $F_0$ ). *Hinweis: Verdrahtungskapazitäten können vernachlässigt werden. (3 P)*
- f) Skizzieren Sie den prinzipiellen zeitlichen Verlauf der Ströme aus der Versorgungsleitung, getrennt nach den entsprechenden drei Verlustleistungstypen eines CMOS-Inverters. (3 P)  
( $P_C$ : Schaltverluste;  $P_{SC}$ : Querstromverluste;  $P_{leak}$ : Leckstromverluste)



**Klausur Integrierte Schaltungen (01.07.2014)**

**Aufgabe 4 – Latch und Register (17 Punkte)**

- a) Erklären Sie die Funktionsweise eines positiven dynamischen Latches!  
*Hinweis: Beschreiben Sie das Ausgangssignal in Abhängigkeit von den Eingangssignalen. Fassen Sie sich kurz!* (3 P)
- b) Zeichnen Sie ein Register, welches aus zwei einfachen dynamischen Latches besteht, unter Verwendung von Inverter- und Transmissions-Gatter-Symbolen! (3 P)
- c) Warum verwendet man Transmissions-Gatter anstelle von Transfertransistoren? Begründen Sie detailliert! (3 P)
- d) Nennen Sie drei Einflussgrößen bzw. Störungen, die gespeicherte Information in einem dynamischen Register verfälschen können. (3 P)
- e) Die Schaltung von b) hat einen Nachteil, der durch die Verzögerung zwischen  $CLK$  und  $\overline{CLK}$  entsteht. Erläutern Sie das Problem für die zwei unterschiedlichen Fälle! Wie kann man dieses Problem verhindern? (3 P)
- f) Im BILD 4.1 ist ein statisches Latch dargestellt. Was muss bei der Dimensionierung der Inverter beachtet werden, damit die Schaltung funktionieren kann? Begründen Sie!  
*Hinweis: Unterscheiden Sie zwischen großen und kleinen Invertern, also Invertern mit großer oder kleiner Stromtreibfähigkeit.* (2 P)

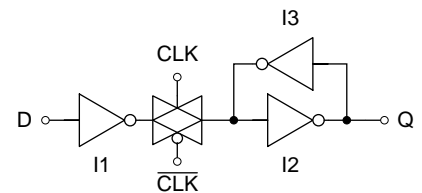


Bild 4.1



**Klausur Integrierte Schaltungen (01.07.2014)**

**Aufgabe 5 – Logikgatter (15 Punkte)**

- a) Stellen Sie die Wertetabelle für ein 2-fach-NAND-Gatter auf. Führen sie auch die invertierten Eingangssignale auf. (1 P)
- b) Entwickeln Sie das NAND-Gatter in Pass-Transistor-Logik (nur mit NMOS-Transistoren). (2 P)
- c) Zeichnen Sie das Transistorschaltbild eines 2-fach-NAND-Gatters in NMOS- und CMOS-Logik! (4 P)
- d) Bild 5.1 zeigt einen Inverter in dynamischer Schaltungstechnik. Erklären Sie die prinzipielle Funktionsweise eines dynamischen Gatters. (2 P)

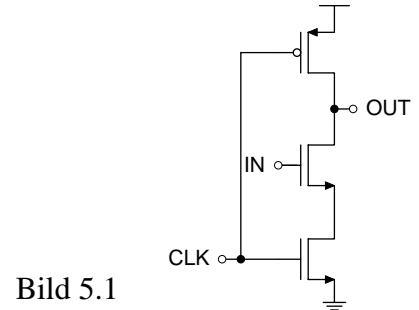


Bild 5.1

- e) Warum können dynamische Gatter nicht kaskadiert (gleiche Gatter hintereinandergeschaltet) werden? Erklären Sie an einem Beispiel mit zwei kaskadierten Invertern (siehe Bild 5.2) das Problem! (2 P)

*Hinweis: Der Eingang des 1. Inverters ist „high“. Berücksichtigen Sie die Verzögerung für  $Z_1$ . Die Lösung in Form eines Zeitverlaufdiagramms ist auch zulässig.*

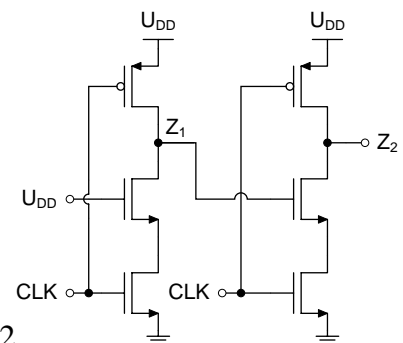


Bild 5.2

- f) Die Bestimmung der Stromergiebigkeit ist wichtig für die Dimensionierung von Gattern. Berechnen Sie den Drainstrom  $I_D$  eines CMOS-NAND-Gatters anhand des Schaltbildes in Bild 5.3!

*Hinweis: Berechnen Sie zuerst die Spannung  $U_{DS1}$ !  $\beta$  und  $U_T$  beider Transistoren sind gleich. Die Kanallängenmodulation soll vernachlässigt werden. (4 P)*

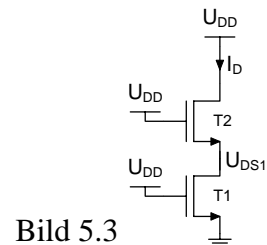
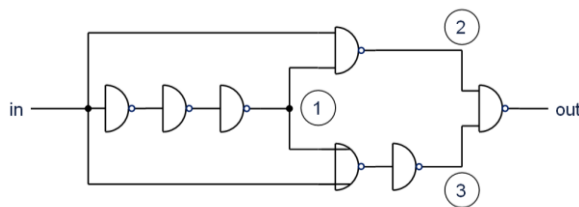


Bild 5.3

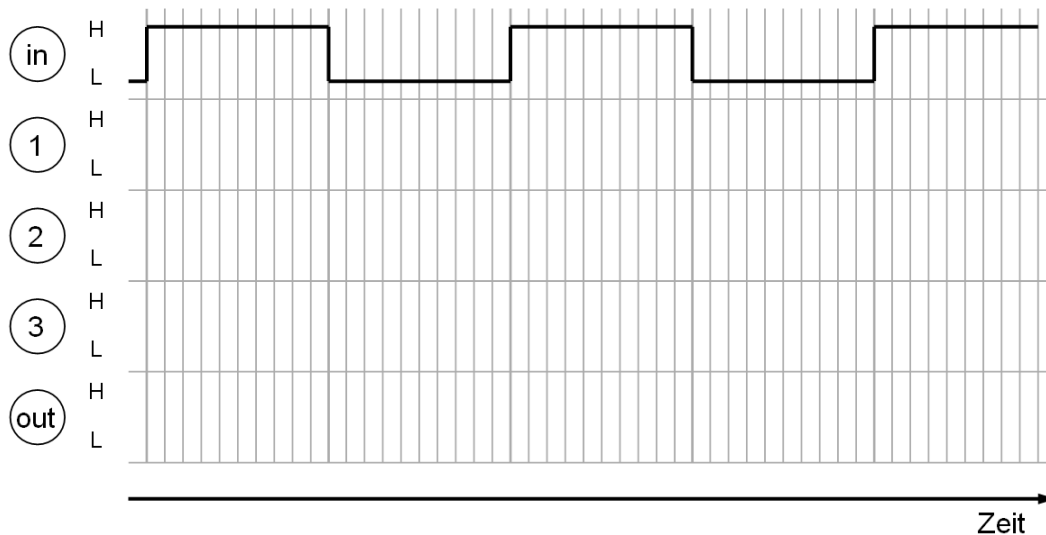
**Klausur Integrierte Schaltungen (01.07.2014)**

**Zusatzaufgaben**

- a) Erklären Sie die Funktionsweise einer Bootstrap-Schaltung anhand einer Beispielschaltung und unter Verwendung von Spannungsverläufen. (+2 P)
- b) Die inverse Unterschwellsteigung einer gegebenen CMOS-Technologie liegt bei Zimmertemperatur bei 80 mV / Dekade.  
Berechnen Sie, um welchen Faktor die rein statische Verlustleistung einer Logik-Schaltung zunimmt, wenn der Betrag der Schwellenspannung aller Transistoren um 160 mV gegenüber dem zuvor gegebenen Wert verringert wird. (+2 P)
- c) Gegeben ist die unten skizzierte Schaltung.  
Skizzieren Sie in dem angelegten Diagramm die Spannungsverläufe an den Knoten 1, 2, 3 und "out". (+2 P)  
*Hinweis: Sie dürfen annehmen, dass die Laufzeit durch jedes Gatter identisch ist.*  
Lesen Sie das Verhältnis von Frequenz am Ausgang zu Frequenz am Eingang ( $f_{out} / f_{in}$ ) aus dem Diagramm ab und geben Sie es an! (+1 P)



→ | | ← Laufzeit pro Gatter



**Klausur Integrierte Schaltungen (01.07.2014)**

**Klausur Integrierte Schaltungen (01.07.2014)**

**Klausur Integrierte Schaltungen (01.07.2014)**

**Klausur Integrierte Schaltungen (01.07.2014)**