

# Klausur zur Vorlesung Schaltungstechnik

TU Berlin, Sommersemester 2011, 22.07.2011

Name (Nachname, Vorname):
Matr.-Nr.:
Studiengang:
BSc / MSc / Diplom:
Erasmus- oder Gast-Student/in: Ja <input type="checkbox"/> Nein <input type="checkbox"/>

Aufgabe:	Punkte:
1	/ 18
2	/ 20
3	/ 42
4	/ 16
5	/ 24
Gesamt:	/ 120

Note:	Datum:	Unterschrift:
-------	--------	---------------

### Aufgabe 1:

Gegeben ist der folgende logische Ausdruck:

$$y = (x_1 \wedge x_2 \wedge \bar{x}_3) \vee (\bar{x}_1 \wedge x_2 \wedge x_3) \vee (\bar{x}_2 \wedge x_3 \wedge x_4) \vee (x_1 \wedge \bar{x}_2 \wedge x_4) \vee (x_2 \wedge x_3 \wedge \bar{x}_4) \vee (x_1 \wedge x_3 \wedge x_4)$$

- a) Setzen Sie diesen Ausdruck direkt (d.h. ohne Optimierung / Vereinfachung) in eine Schaltung um, welche aus Invertern, NAND-Gattern und NOR-Gattern (mit beliebig vielen Eingängen) besteht. 4
- b) Berechnen Sie die Anzahl der benötigten Transistoren der Schaltung aus a). Gehen Sie davon aus, dass für die Inverter und Gatter-Schaltungen Standard-CMOS-Logik verwendet wird. 2
- c) Zeichnen Sie ein KV-Diagramm, welches den oben angegebenen Ausdruck repräsentiert. 6
- Ermitteln Sie aus diesem KV-Diagramm einen logischen Ausdrucks für  $\bar{y}$  (**Achtung:** gefragt ist nach dem Komplement der oben angegebenen Funktion, nicht nach  $y$ !). Falls sinnvoll, optimieren Sie den erhaltenen Ausdruck weiter. Skizzieren Sie die entsprechende Schaltung. Verwenden Sie dazu Inverter, NAND-Gatter und NOR-Gatter.
- d) Entwerfen Sie eine Schaltung ausschließlich aus Invertern und NAND-Gattern, die den logischen Ausdruck für  $\bar{y}$  aus Aufgabenteil d) realisiert. 4
- Geben Sie dazu einen mit den De-Morgan'schen Gesetzen umgeformten logischen Ausdruck an und skizzieren Sie die erhaltene Schaltung.
- e) Erweitern oder modifizieren Sie die Schaltung aus Aufgabenteil d), um den oben angegebenen Ausdruck  $y$  zu realisieren? Welche Maßnahme oder Änderung ist dazu notwendig. (Antwort in Textform oder durch Angabe eines Schaltbildes). 2

**Summe: 18**

---

### Englisch Translation:

Consider the logic expression given below:

$$y = (x_1 \wedge x_2 \wedge \bar{x}_3) \vee (\bar{x}_1 \wedge x_2 \wedge x_3) \vee (\bar{x}_2 \wedge x_3 \wedge x_4) \vee (x_1 \wedge \bar{x}_2 \wedge x_4) \vee (x_2 \wedge x_3 \wedge \bar{x}_4) \vee (x_1 \wedge x_3 \wedge x_4)$$

- a) Transfer this expression directly (i.e. without optimization / simplification) into a circuit diagram using inverters, NAND gates, and NOR gates (with an arbitrary number of inputs). 4
- b) Calculate the number of transistors used in the circuit diagram developed in a). Assume that standard CMOS logic is used to realize the inverters and logic gates. 2
- c) Sketch a KV diagram representing the given logic expression. 6
- On the basis of this diagram develop a logic expression for  $\bar{y}$  (**Note:** requested is the complementary logic expression with respect to logic expression given above, not  $y$ !). If reasonable further optimize the achieved expression. Sketch the related circuit diagram. For this purpose use inverters, NAND and NOR gates.
- d) Design a circuit using inverters and NAND gates only to realize the logic expression for  $\bar{y}$  developed in part d). 4
- For that purpose provide an adopted logic expression using De-Morgan's laws and sketch the related circuit diagram.
- e) Extend or modify the circuit achieved in part d) to realize the expression for  $y$  as given above? Which change is required for this purpose? (Solution can be provided as a short text or by means of a circuit diagram). 2

**Sum: 18**

**Aufgabe 2:**

Gegeben ist die in Abbildung 2a) skizzierte Schaltung aus drei Komparatoren und einem Spannungsteiler  $R_1 \dots R_4$  für die Generation der jeweiligen Schaltschwellen der Komparatoren. Die positive Betriebsspannung der Komparatoren  $U_{DD}$  beträgt 5 V, die negative Betriebsspannung  $U_{SS}$  ist mit Massepotential identisch (= 0 V). Die angelegte Eingangsspannung  $U_{ein}$  kann Werte zwischen Massepotential und  $U_{DD}$  annehmen.

- a) Die Schaltschwellen der jeweiligen Komparatoren sollen  $0.25 U_{DD}$ ,  $0.5 U_{DD}$  und  $0.75 U_{DD}$  betragen,  $R_{11} = 10 \text{ k}\Omega$ . Berechnen Sie bzw. geben Sie die Werte an der Widerstände  $R_{12}$ ,  $R_{13}$  und  $R_{14}$ . 2

- b) Skizzieren Sie die Ausgangsspannungen der Komparatoren  $U_{aus,k}$  mit  $k = 1, 2, 3$  als Funktion von  $U_{ein}$  in einem Diagramm. Tragen Sie dabei quantitative Werte (d.h. Spannungen in V) an den Achsen auf. 2

- c) Die an den Ausgängen der Komparatoren erhaltenen Spannungen können als (5 V-kompatible) Logiksignale interpretiert werden mit 2

$$c_k = 1 \text{ wenn } U_{aus,k} = U_{DD} = 5 \text{ V} \quad \text{und} \quad c_k = 0 \text{ wenn } U_{aus,k} = U_{SS} = 0 \text{ V} \quad \text{für } k = 1, 2, 3$$

Tragen Sie diese Signale in die in Abbildung 2c) gegebene Tabelle ein. Die erste Zeile soll die Situation für  $U_{ein} = 0 \text{ V}$  darstellen, die folgenden Zeilen alle anderen Möglichkeiten für steigende Werte von  $U_{ein}$ .

- d) Konstruieren und skizzieren Sie eine Logikschaltung, die die drei logischen Ausgangssignale der Komparatoren ( $c_1, c_2, c_3$ ) in die in den beiden zusätzlichen Spalten der Tabelle angegebenen logischen Signale  $z_1$  und  $z_2$  umcodiert. 4

Geben Sie die logischen Ausdrücke für  $z_1$  und  $z_2$  an und skizzieren Sie eine geeignete Schaltung.

Es können alle Ihnen bekannten Gatter verwendet werden.

- e) Die Schaltung aus Abbildung 2a) wird nun so erweitert, dass jeder Komparator eine Hysterese aufweist (Abbildung 2b)). Die jeweiligen Schaltschwellen sollen nun liegen bei  $U_{ein} = 1.25 \text{ V} \pm 10 \text{ mV}$ ,  $2.5 \text{ V} \pm 10 \text{ mV}$ ,  $3.75 \text{ V} \pm 10 \text{ mV}$  (d.h.  $1.24 \text{ V}$  und  $1.26 \text{ V}$ , ...). 10

Dimensionieren Sie die Widerstände  $R_{26}$  unter der Bedingung  $R_{25} = 100 \Omega$ , und geben Sie die Werte der Widerstände des Spannungsteilers  $R_{21} \dots R_{24}$  unter der Bedingung  $R_{21} + R_{22} + R_{23} + R_{24} = 40 \text{ k}\Omega$  an, so dass das gewünschte Verhalten erreicht wird.

**Summe: 20**

(English translation see next page)

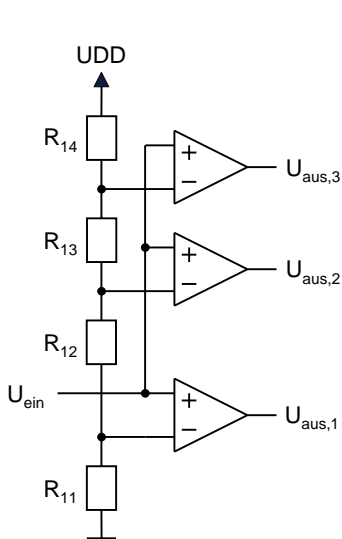


Abbildung 2a)

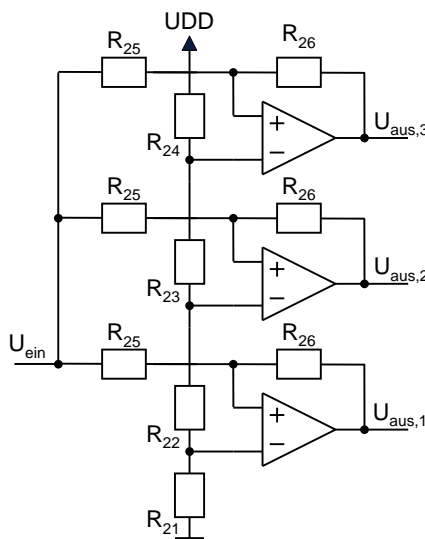


Abbildung 2b)

$c_3$	$c_2$	$c_1$	$z_2$	$z_1$
			0	0
			0	1
			1	0
			1	1

Abbildung 2c)

**English Translation:**

Consider the circuit given in Figure 2a) consisting of three comparators and a voltage divider  $R_1 \dots R_4$  to generate the switching thresholds of the respective comparators. The positive supply voltage  $U_{DD}$  equals 5 V, the negative supply voltage  $U_{SS}$  is at ground potential (= 0 V). The input voltage applied can have values between ground potential and  $U_{DD}$ .

- a) The threshold voltages of the respective comparators shall be  $0.25 U_{DD}$ ,  $0.5 U_{DD}$  und  $0.75 U_{DD}$ ,  $R_{11} = 10 \text{ k}\Omega$ . Calculate and provide the values of the resistors  $R_{12}$ ,  $R_{13}$ , and  $R_{14}$ . 2
- b) Sketch the comparators' output voltages  $U_{aus,k}$  with  $k = 1, 2, 3$  as a function of  $U_{ein}$  using a diagram. Provide quantitative values (i.e. voltages given in V) at the diagram axes. 2
- c) The voltages achieved at the outputs of the comparators can be interpreted as (5 V compatible) logic signals with 2

$$c_k = 1 \text{ if } U_{aus,k} = U_{DD} = 5 \text{ V} \quad \text{and} \quad c_k = 0 \text{ if } U_{aus,k} = U_{SS} = 0 \text{ V} \quad \text{for } k = 1, 2, 3$$

Add these signals to the table given in Figure 2c). The first row reflects the situation for  $U_{ein} = 0 \text{ V}$ , the following rows provide all further possibilities for increasing values of  $U_{ein}$ .

- d) Design and sketch a logic circuit which transfers the logic output signals of the comparators ( $c_1, c_2, c_3$ ) into the code provided in the two additional columns of the table with signals  $z_1$  and  $z_2$ . 4

Provide the logic expressions for  $z_1$  and  $z_2$  and sketch a suitable circuit.

All types of logic gates are allowed to be used.

- e) The circuit given in Figure 2a) is now extended in a manner that every comparator provides hysteresis (Figure 2b)). The respective switching thresholds shall be  $U_{ein} = 1.25 \text{ V} \pm 10 \text{ mV}$ ,  $2.5 \text{ V} \pm 10 \text{ mV}$ ,  $3.75 \text{ V} \pm 10 \text{ mV}$  (i.e.  $1.24 \text{ V}$  und  $1.26 \text{ V}$ , ...). 10

Provide dimensions for the resistors  $R_{26}$  under condition  $R_{25} = 100 \Omega$ , and provide values for the resistors of the voltage divider  $R_{21} \dots R_{24}$  under condition  $R_{21} + R_{22} + R_{23} + R_{24} = 40 \text{ k}\Omega$ , so that the requested behavior is obtained.

**Sum: 20**

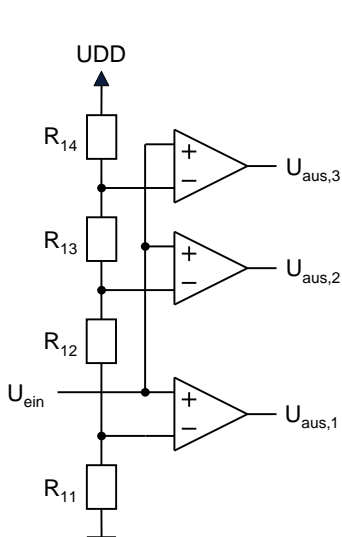


Figure 2a)

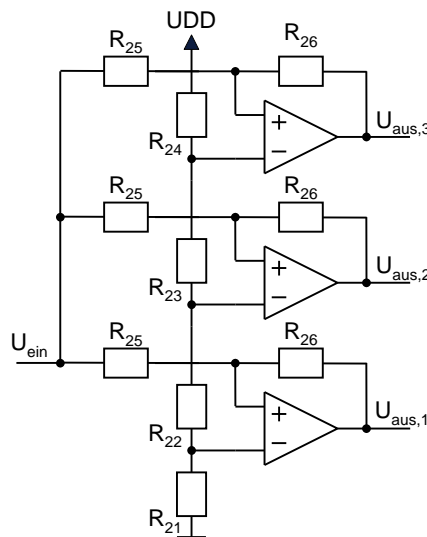


Figure 2b)

$c_3$	$c_2$	$c_1$	$z_2$	$z_1$
			0	0
			0	1
			1	0
			1	1

Figure 2c)

### Aufgabe 3:

Abbildung 3 zeigt einen einfachen Operationsverstärker. Die Betriebsspannung  $U_{DD}$  beträgt 3.3 V. Technologie- bzw. Transistorkenngrößen sind  $L_{min} = 0.35 \mu\text{m}$ ,  $k_n = 150 \mu\text{A} / \text{V}^2$ ,  $U_{th,n} = 0.6 \text{ V}$ ,  $k_p = 60 \mu\text{A} / \text{V}^2$ ,  $U_{th,p} = 0.8 \text{ V}$ ,  $\lambda_n = \lambda_p = 0.1 / \text{V}$ . Alle Transistoren haben eine Kanallänge  $L = 1 \mu\text{m}$ .

- Identifizieren und benennen Sie bekannte Teilschaltungen. 4
- Welches ist der invertierende, welches der nicht-invertierende Eingang (kurze Begründung angeben oder skizzieren). 2
- Berechnen Sie die Weite von  $T_{11}$  (Formel und Wert), so dass  $T_{11}$  mit einer effektiven Gatespannung von 300 mV betrieben und von einem Strom von 54  $\mu\text{A}$  durchflossen wird. 4
- Berechnen Sie den zugehörigen Wert des Widerstandes R. 2
- Dimensionieren Sie die Weiten von  $T_{12}$ ,  $T_{21}$  und  $T_{22}$ , so dass der Strom durch jeden Zweig der Eingangsstufe 108  $\mu\text{A}$  beträgt. Alle drei Transistoren sollen die gleiche effektive Gatespannung haben. 2
- Aufgrund der speziellen Form der Ausgangsstufe soll die Ausgangsspannung der Eingangsstufe bei einer Differenzeingangsspannung von 0 V eine Ausgangsspannung von  $U_{DD}/2$  liefern. 6  
Berechnen Sie unter dieser Bedingung die effektive Gatespannung und die Weite der Transistoren  $T_{31}$  und  $T_{32}$  (Formeln und Werte). Geben Sie die Weite auf 100 nm genau an.
- Bestimmen Sie den maximalen Bereich der Common-Mode-Eingangsspannung unter der Bedingung, dass alle Transistoren der Eingangsstufe (einschl.  $T_{12}$ ) im Sättigungsbereich betrieben werden. 6  
Geben Sie dazu jeweils eine kurze Skizze (oder Erklärung) und die entsprechenden Spannungswerte an.
- Wählen Sie für  $T_4$  die Weite 80  $\mu\text{m}$ . Berechnen Sie die Weite von  $T_5$  unter der Bedingung, dass die Ausgangsstufe bei einer Spannung von  $U_{DD}/2$  am gemeinsamen Gateknoten von  $T_4$ ,  $T_5$  am Ausgang ebenfalls eine Spannung von  $U_{DD}/2$  liefert. Geben Sie die Weite von  $T_5$  auf 1  $\mu\text{m}$  genau an. 4
- Berechnen Sie die Gesamtleistung der Schaltung, die die Schaltung konsumiert unter der Bedingung, dass alle Transistoren in Sättigung betrieben werden und die Ausgangsspannung  $U_{DD}/2$  beträgt (d.h. unter identischen Bedingungen wie in den Aufgabenteilen e), f) und h) angenommen). 4
- Geben Sie die Gesamtverstärkung der Schaltung an (Formel(n) und Wert). 8

Summe: 42

(English translation see next page)

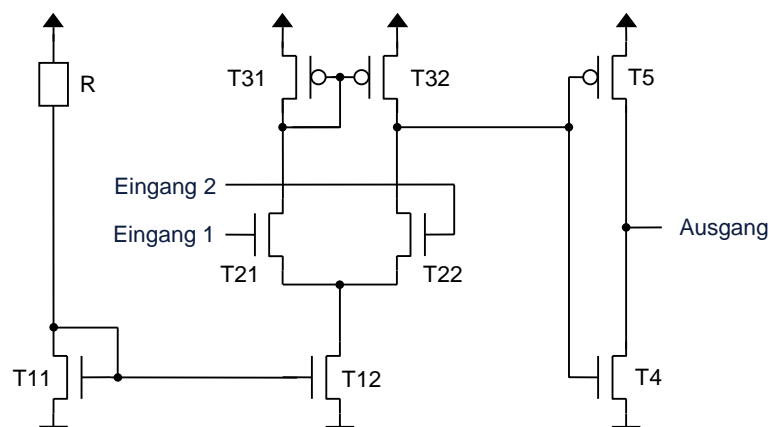


Abbildung 3

**English Translation:**

Figure 3 shows a simple operational amplifier. Supply voltage  $U_{DD}$  is 3.3 V. Technology and transistor parameters are  $L_{min} = 0.35 \mu\text{m}$ ,  $k_n = 150 \mu\text{A} / \text{V}^2$ ,  $U_{th,n} = 0.6 \text{ V}$ ,  $k_p = 60 \mu\text{A} / \text{V}^2$ ,  $U_{th,p} = 0.8 \text{ V}$ ,  $\lambda_n = \lambda_p = 0.1 / \text{V}$ . All transistors have a channel length of  $L = 1 \mu\text{m}$ .

- Identify and name known subcircuits. 4
- Which input is the inverting one, which one is the non-inverting (sketch or give a short explanation). 2
- Calculate the width of  $T_{11}$  (equation and value), so that  $T_{11}$  is operated at an effective gate voltage of 300 mV at a current of 54  $\mu\text{A}$ . 4
- Calculate the related value of resistor R. 2
- Provide dimensions of the widths of  $T_{12}$ ,  $T_{21}$  und  $T_{22}$ , so that the current through every branch of the input stage is 108  $\mu\text{A}$ . All three transistors shall be operated at same effective gate voltage. 2
- Due to the particular design of the output stage, the output voltage of the input stage shall be  $U_{DD}/2$  under condition that the differential input voltage is 0 V. 6  
Under this condition calculate effective gate voltage and width of transistors  $T_{31}$  und  $T_{32}$  (equations and values). Provide the width with an accuracy of 100 nm.
- Determine the maximum range of the common mode input voltage under condition, that all transistors (including  $T_{12}$ ) are operated in the saturation region. 6  
Provide a brief sketch (or explanation) for the respective cases and provide the related values of the voltages.
- For  $T_4$ , choose width = 80  $\mu\text{m}$ . Calculate the width of  $T_5$  so that the output stage delivers a voltage of  $U_{DD}/2$  at ist output under condition that the voltage at the common gate node of  $T_4$ ,  $T_5$  equals  $U_{DD}/2$ , too. Provide the width of  $T_5$  with an accuracy of 1  $\mu\text{m}$ . 4
- Calculate the total power consumption of the entire circuit under condition that all transistors are operated in the saturation region (i.e. under same conditions as assumed in parts e), f) and h)). 4
- Calculate the total gain of the circuit (equation(s) and value). 8

**Sum: 42**

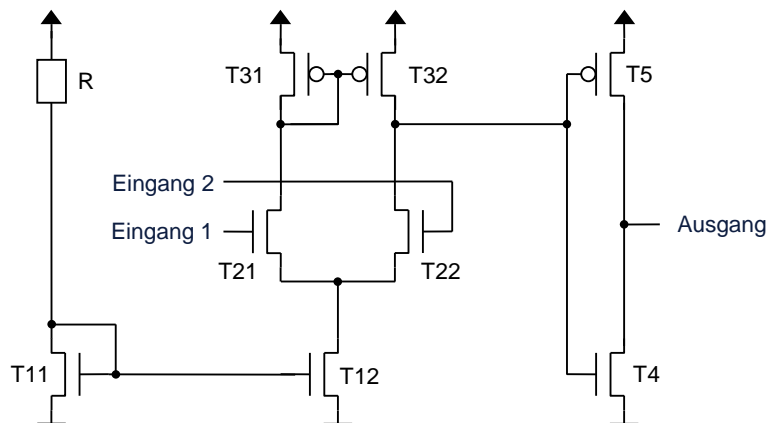


Abbildung 3

**Aufgabe 4:**

Gegeben sind drei logische Funktionen  $y_1, y_2, y_3$ . Dabei ist

- $y_1$  gegeben durch das unten angegebene KV-Diagramm,
- $y_2$  gegeben in Form der unten angegebenen Wahrheitstabelle,
- $y_3$  durch die logische Funktion  $y_3 = x_2 \wedge \bar{x}_3 \wedge x_4$

- a) Gesucht ist die Funktion  $z = y_1 \wedge \bar{y}_2 \wedge \bar{y}_3$ . Geben Sie diese in möglichst einfacher Form an. 8
- b) Realisieren Sie die Funktion  $z$  ausschließlich durch Verwendung von NAND-Gattern (mit einer beliebigen Anzahl von Eingängen) und von Invertern und skizzieren Sie die Schaltung. 4
- c) Realisieren Sie die Funktion  $z$  nun ausschließlich durch Verwendung von NAND-Gattern mit 2 Eingängen und von Invertern und skizzieren Sie auch diese Schaltung. 4

**Summe: 16**

**Englisch Translation:**

Three logic functions,  $y_1, y_2, y_3$ , are given with

- $y_1$  defined by the KV diagram depicted below,
- $y_2$  defined by the truth table depicted below,
- $y_3$  defined by the logic equation  $y_3 = x_2 \wedge \bar{x}_3 \wedge x_4$

- a) Function of interest is  $z = y_1 \wedge \bar{y}_2 \wedge \bar{y}_3$ . Provide this function in as far as possible simplified form. 8
- b) Realize this function by using NAND gates (with an arbitrary number of inputs) and inverters and sketch the related circuit. 4
- c) Realize this function now by using NAND gates with 2 inputs and inverters and sketch this circuit, too. 4

**Sum: 16**

**$y_1$ :**

		x1	0	1	1	0
		x2	0	0	1	1
x3	x4					
0	0	1	1	0	0	
1	0	0	0	1	1	
1	1	0	1	0	1	
0	1	1	0	1	1	

**$y_2$ :**

y2	x1	x2	x3	x4
0	0	0	0	0
0	1	0	0	0
1	0	1	0	0
0	1	1	0	0
0	0	0	1	0
1	1	0	1	0
0	0	1	1	0
1	1	1	1	0
1	0	0	0	1
0	1	0	0	1
0	0	1	0	1
1	1	1	0	1
1	0	0	1	1
1	1	0	1	1
0	0	1	1	1
0	1	1	1	1

### Aufgabe 5:

Abbildung 5 zeigt eine einfache spannungsgesteuerte Stromquelle bestehend aus einem n-MOS-Transistor  $T_1$  und zwei pnp-Bipolar-Transistoren  $T_2$  und  $T_3$ .

Die Kenngrößen des n-MOS-Transistors sind  $k_n = 110 \mu\text{A} / \text{V}^2$ ,  $U_{th,n} = 580 \text{ mV}$ ,  $L = 1 \mu\text{m}$ ,  $W = 1.5 \mu\text{m}$ . Für die Bipolar-Transistoren können Sie von einer konstanten Stromverstärkung  $\beta = 50$  und von einem konstanten Basis-Emitter-Spannungsabfall von  $U_{BE} = 650 \text{ mV}$  (Betrag) ausgehen. Die Betriebsspannung  $U_{DD}$  beträgt  $2.5 \text{ V}$ .

Die Abhängigkeit der Kollektorströme von  $T_2$  und  $T_3$  von der jeweiligen Kollektor-Emitter-Spannung können vernachlässigt werden. Die Abhängigkeit des Drainstromes von  $T_1$  von dessen Drain-Source-Spannung kann ebenfalls vernachlässigt werden, sofern  $T_1$  in Sättigung betrieben wird.

- Die Eingangsspannung  $U_{ein}$  kann über den Bereich von  $0 \text{ V}$  bis  $U_{DD}$  variiert werden. Geben Sie die minimale Eingangsspannung  $U_{ein,min}$  an, die notwendig ist, damit die Schaltung von Strom durchflossen wird. 2
- Identifizieren Sie die Intervalle der Eingangsspannung  $U_{ein}$ , in denen  $T_1$  im Sättigungsbereich und im Triodenbereich betrieben wird. 4
- Berechnen Sie den Ausgangsstrom  $I_{aus}$  als Funktion der Eingangsspannung  $U_{ein}$  (Formeln). 10  
Geben Sie den Wert von  $I_{aus}$  an für den Wert von  $U_{ein}$ , bei welchem der Arbeitspunkt des Transistors  $T_1$  vom Sättigungsbereich in den Triodenbereich übergeht.  
Geben Sie ferner den Wert von  $I_{aus}$  an für  $U_{ein} = U_{DD}$ .  
Skizzieren Sie den Ausgangsstrom  $I_{aus}$  als Funktion der Eingangsspannung  $U_{ein}$ .
- Belasten Sie den Ausgang nun mit einem Widerstand  $R$  gegen Masse. Geben Sie eine Abschätzung für den Wert von  $R$  an (Formel und Wert), der nicht überschritten werden darf, damit die an diesem Widerstand abfallende Spannung ( $U_{aus}$ ) über den ganzen Bereich der Eingangsspannung  $U_{ein}$  auch wirklich eine Funktion von  $U_{ein}$  ist. 4  
Nehmen Sie bei dieser Betrachtung an, dass der Emitter-Kollektor-Spannungsabfall an den Bipolartransistoren vernachlässigbar klein, jedoch nicht negativ sein darf.
- Skizzieren Sie die zu der angegebenen Schaltung komplementäre Schaltung. 4

**Summe: 24**

(English translation see next page)

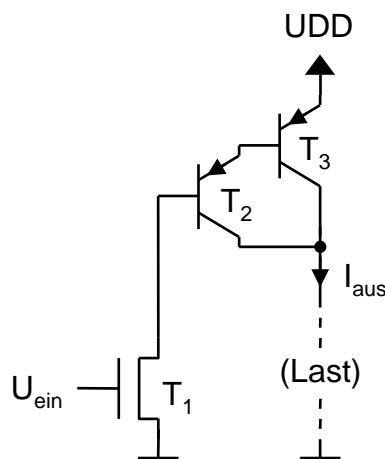


Abbildung 5



**English Translation:**

Figure 5 shows a simple voltage controlled current source consisting of n-MOS transistor  $T_1$  and two pnp-bipolar transistors  $T_2$  and  $T_3$ .

The characteristic parameters of the n-MOS transistor are  $k_n = 110 \mu\text{A} / \text{V}^2$ ,  $U_{th,n} = 580 \text{ mV}$ ,  $L = 1 \mu\text{m}$ ,  $W = 1.5 \mu\text{m}$ . For the bipolar transistors a constant current gain  $\beta = 50$  is assumed and a constant base-to-emitter voltage drop of  $U_{BE} = 650 \text{ mV}$  (absolute value). Supply voltage  $U_{DD}$  is  $2.5 \text{ V}$ .

The dependence of the collector currents of  $T_2$  and  $T_3$  on the respective collector-to-emitter voltage can be neglected. The dependence of the drain current of  $T_1$  on its drain-to-source voltage can be neglected, too, if  $T_1$  is operated in the saturation region.

- a) The input voltage  $U_{ein}$  can vary within the range of  $0 \text{ V}$  to  $U_{DD}$ . Reveal the minimum input voltage  $U_{ein,min}$  which is required to make the circuit drive current. 2
- b) Identify the intervals of the input voltage  $U_{ein}$  where  $T_1$  is operated in the saturation region and in the triode region, respectively. 4
- c) Calculate the output current  $I_{aus}$  as a function of the input voltage  $U_{ein}$  (equations). 10

Provide the value of  $I_{aus}$  for the value of  $U_{ein}$  which coincides with the transition of the operating point of transistor  $T_1$  from saturation into triode region.

Furthermore, provide the value of  $I_{aus}$  for  $U_{ein} = U_{DD}$ .

Sketch the output current  $I_{aus}$  as a function of input voltage  $U_{ein}$ .

- d) As a load for the output, add a resistor  $R$  between output node and ground now. Estimate a value for  $R$  (equation and value) which must not be exceeded in order to make the voltage drop at that resistor ( $U_{aus}$ ) within the entire range of input voltages  $U_{ein}$  indeed a function of  $U_{ein}$ . 4

For this estimation, assume that the emitter-to-collector voltage drop of the bipolar transistors may be negligibly small but not negative.

- e) Sketch the complimentary circuit with respect to the circuit given in Figure 5. 4

**Sum: 24**

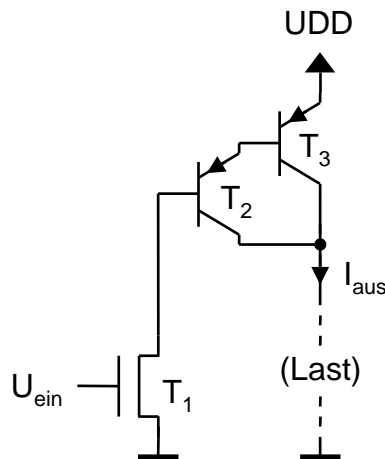


Figure 5