

Klausur Schaltungstechnik

TU Berlin, Sommersemester 2015, 07.10.2015
Bearbeitungszeit: 3 Stunden

Name (Nachname, Vorname):
Matr.-Nr.:
Studiengang:
BSc / MSc / Diplom:
Erasmus- oder Gast-Student/in: Ja <input type="checkbox"/> Nein <input type="checkbox"/>

Aufgabe:	Punkte:
1	/ 24
2	/ 40
3	/ 20
4	/ 20
5	/ 16
Gesamt:	/ 120

Note:	Datum:	Unterschrift:
-------	--------	---------------

Bitte füllen Sie auf dieser Seite nur die weißen Felder aus.

Füllen Sie bitte ebenso auf allen abgegebenen Seiten jeweils die Kopfzeile aus und verwenden Sie nur dieses Papier für die Lösung der Aufgaben.

Viel Erfolg!

Aufgabe 1:

Gegeben ist die in Abbildung 1 gezeigte Logik-Schaltung auf Gatterebene.

- Geben Sie (durch Ablesen der verschiedenen logischen Pfade) die logische Funktion x an, die diese Schaltung realisiert. Eine weitere Umformung / Optimierung des logischen Ausdrucks ist nicht erforderlich. 4
- Modifizieren Sie die Schaltung derart, dass ausschließlich NAND-Gatter mit maximal 3 Eingängen und Inverter verwendet werden. Benutzen Sie dazu das Arbeitsblatt (1) zu dieser Aufgabe und vervollständigen Sie die Zeichnung.. 6
- Skizzieren Sie ein NAND-Gatter mit 3 Eingängen aus Aufgabenteil b) auf Transistorebene in Standard-CMOS-Logik. 2
- Übertragen Sie das Ergebnis aus Aufgabenteil a) für die Funktion x auch in das KV-Diagramm, welches in Arbeitsblatt (2) zu dieser Aufgabe gegeben ist. 6
- In Arbeitsblatt (2) zu dieser Aufgabe ist ein weiteres KV-Diagramm für eine logische Funktion y gegeben. 4
Konstruieren Sie auf demselben Arbeitsblatt nun auch das KV-Diagramm der logischen Funktion z , die sich aus der logischen Operation $z = x \oplus y$ ergibt.
- Lesen Sie aus dem KV-Diagramm für die logische Funktion z den logischen Ausdruck für diese Funktion in möglichst einfacher Form ab und geben Sie ihn an. 2

Hinweis: Eine weitere Umformung / Optimierung des logischen Ausdrucks für z ist nicht erforderlich.

Summe: 24

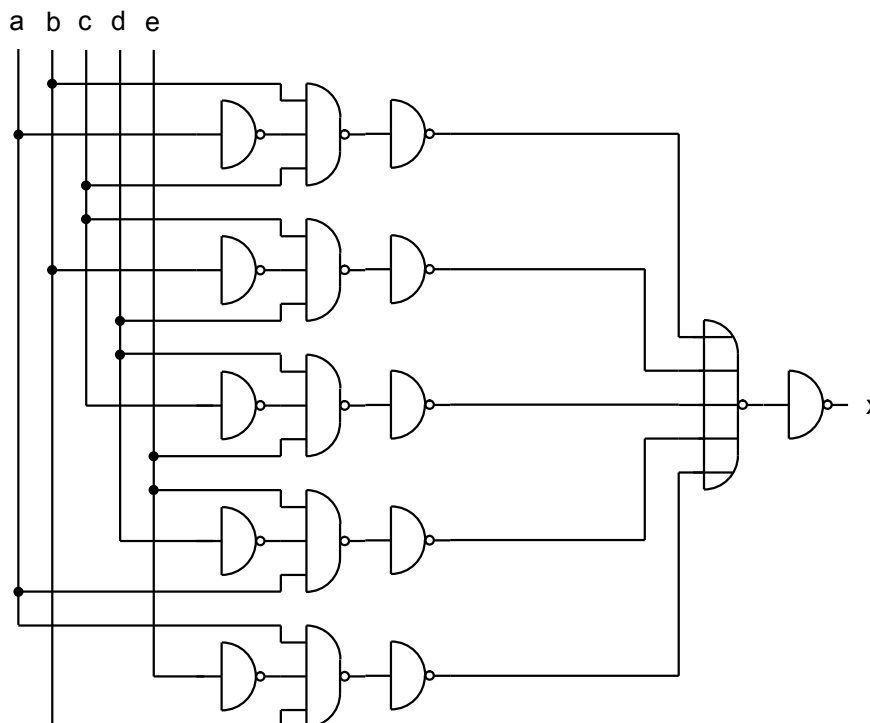


Abbildung zu Aufgabe 1

Aufgabe 2:

In der unten stehenden Abbildung ist ein einfacher Differenzverstärker gezeigt, dessen Verstärkung über den Widerstand $2R$ justiert werden kann. Die Schaltung wird mit der Betriebsspannung $U_{DD} = 3.3 \text{ V}$ betrieben, relevante Technologieparameter sind $L_{min} = 0.35 \mu\text{m}$, $k_n = 140 \mu\text{A/V}^2$, $U_{th,n} = 700 \text{ mV}$.

- a) Ignorieren Sie zunächst den Widerstand $2R$ bzw. nehmen Sie $2R = \infty$ an. Identifizieren Sie unter dieser Bedingung alle bekannten Teilschaltungen, in der unten stehenden Abbildung bereits durch strichlierte Rahmen gekennzeichnet, und benennen Sie diese möglichst detailliert. 4
- b) Benennen Sie mit Bezug auf Ausgang A_1 welcher der invertierende und welcher der nicht-invertierende Eingang ist. 2
- c) Nehmen Sie an, die Transistoren $T_{11} - T_{14}$ werden alle mit der gleichen effektiven Gatespannung betrieben und haben alle eine Kanallänge von $5 L_{min}$. Dimensionieren Sie die Weite diese Transistoren so, dass sie vom einem so Strom von $10 \mu\text{A}$ durchgeflossen werden. 4
- d) Der Transistor T_{10} besitzt die gleiche Länge wie die Transistoren $T_{11} - T_{14}$, die Transistoren T_{21} und T_{22} haben minimale Kanallänge und werden mit einer effektiven Gatespannung von 100 mV betrieben. 4.5
Dimensionieren Sie nun auch die Weite der Transistoren T_{10} , T_{21} und T_{22} so, dass T_{10} von einem Strom von $90 \mu\text{A}$ durchgeflossen wird.
- e) Die Transistoren T_{21} und T_{22} besitzen eine Kanallänge von $20 L_{min}$. Dimensionieren Sie die Weite der Transistoren derart, dass die Ausgangs-Common-Mode-Spannung 2 V (gezählt gegen Masse) beträgt. 3.5
- f) Geben Sie den Bereich der Common-Mode-Eingangsspannung an, innerhalb dessen sicher gestellt ist, dass alle Transistoren der Schaltung in Sättigung betrieben werden. Geben Sie dazu jeweils eine kleine Skizze und die entsprechenden Spannungswerte an. 6
- g) Zeichnen Sie ein Kleinsignal-Ersatzschaltbild der Schaltung (für Betrieb bei niedrigen Frequenzen). 4

Hinweise:

- Die Tatsache, dass der gemeinsame Source-Knoten von T_{21} und T_{22} kleinsignal-mäßig auf Masse liegt, darf als bekannt vorausgesetzt werden. Nutzen Sie diese Kenntnis in Ihrer Skizze explizit aus, führen Sie aber noch keine weiteren Näherungen ein.
 - Aus Symmetriegründen liegt auch das Potential in der Mitte des Widerstandes $2R$ kleinsignal-mäßig auf Masse.
 - Benutzen Sie für die Nomenklatur und Zählweise der Kleinsignal-Spannungen die folgenden Definitionen und Beziehungen:
$$u_{ein} = u_{ein1} - u_{ein2} \quad \text{und} \quad u_{aus} = u_{aus1} - u_{aus2} ,$$
 - sowie (aus Symmetriegründen)
$$u_{ein1} = -u_{ein2} \quad \text{und} \quad u_{aus1} = -u_{aus2} .$$
 - Unter Ausnutzung dieser Überlegungen reicht es (technisch gesehen und für die Erreichung der vollen Punktzahl in dieser Aufgabe), das Ersatzschaltbild nur eines Zweiges des Differenzverstärkers zu skizzieren.
 - Bitte konzentrieren Sie Ihre Betrachtungen deshalb auf den linken Zweig und benutzen Sie zur weitem Beschreibung die Parameter u_{ein} und u_{aus} wie oben definiert.
- h) Nehmen Sie an, dass alle Transistoren in Sättigung betrieben werden und machen Sie nun Gebrauch von der Tatsache, dass $g_m \gg g_{DS}$ gilt. Ferner soll $1/R \gg g_{DS}$ gelten. 4
Leiten Sie unter dieser Rahmenbedingung eine Näherungsformel für die Verstärkung der Schaltung her.
- i) Für welchen Wert des Widerstandes $2R$ beträgt die Verstärkung der Schaltung betragsmäßig 1 (Formel und Wert)? 8

Summe: 40

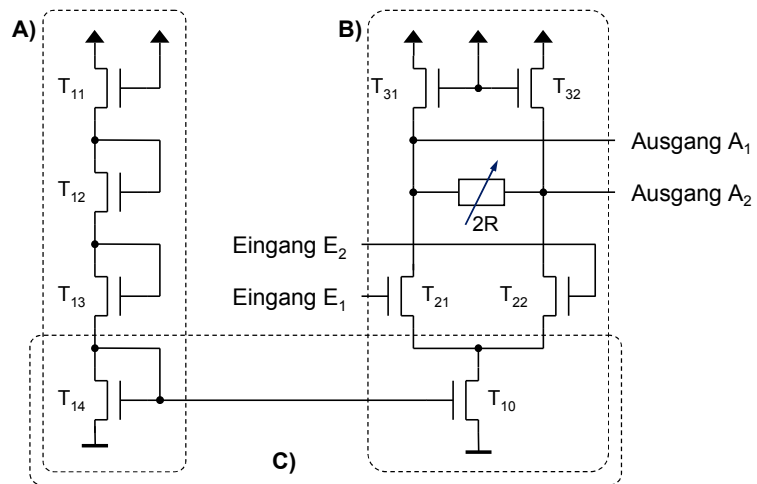


Abbildung zu Aufgabe 2

Aufgabe 3:

In der unten stehenden Abbildung ist eine einfache Verstärkerschaltung gezeigt, in der die Transistoren T_1 und T_2 für die eigentliche Funktion der Verstärkung zuständig sind und der pMOS-Transistor T_0 als Stromquelle arbeitet, um den Arbeitspunkt der Schaltung einzustellen.

Die Schaltung wird mit der Betriebsspannung $U_{DD} = 1.5\text{ V}$ betrieben, relevante Technologieparameter sind $L_{min} = 0.25\ \mu\text{m}$, $k_n = 180\ \mu\text{A/V}^2$, $k_p = 75\ \mu\text{A/V}^2$, $U_{th,n} = 500\text{ mV}$, $U_{th,p} = 550\text{ mV}$. Der Stromquellentransistor T_0 liefert einen Strom $I_0 = 42\ \mu\text{A}$.

- a) Zeichnen Sie ein Kleinsignal-Ersatzschaltbild der Schaltung. Zeichnen Sie dabei nur die Elemente ein, die zur Verstärkung der Schaltung einen von 0 verschiedenen Beitrag leisten, egal ob dieser in Relation zu den anderen beitragenden Komponenten groß oder klein. 4
Hinweis: Beachten Sie in diesem Kontext, dass U_0 eine Gleichspannung ist.
- b) Für die Transistoren T_1 und T_2 wird die Länge $2 L_{min}$ gewählt. Bestimmen Sie (für $I_0 = 42\ \mu\text{A}$) die Weiten der Transistoren T_1 und T_2 derart, dass für die Eingangsspannung $U_{ein} = U_{DD} / 2$ auch die Ausgangsspannung den Wert $U_{aus} = U_{DD} / 2$ annimmt und dass die Verstärkung der Schaltung in diesem Arbeitspunkt gleich 12 ist. 10
Hinweise:
- Aus dem Kleinsignal-Ersatzschaltbild lässt sich ableiten, dass der Betrag der Verstärkung der Schaltung näherungsweise g_{m1} / g_{m2} ist. Diesen Zusammenhang dürfen Sie als gegeben annehmen.
 - Zur Identifikation der Arbeitspunkte von T_1 und T_2 beachten Sie, dass für beide Transistoren in dem genannten Arbeitspunkt gilt Drainspannung = Gatespannung.
 - Für die Verstärkungsberechnung verwenden Sie bitte die Näherungsformel aus Aufgabenteil b).
- c) Geben Sie die Leistung an, die die Schaltung konsumiert (Formel und Wert). 2
- d) Skizzieren Sie eine Stromspiegel-Schaltung mit T_0 als Stromspiegel-Ausgang und entsprechenden realen Bauelementen (Transistoren und/oder Widerständen) am Stromspiegel-Eingang, so dass in den Stromspiegel-Eingang auch ein Eingangsstrom hinein fließt. 2
- e) Skizzieren Sie die komplementäre Schaltung zu der in der Abbildung gezeigten Schaltung. Ein- und Ausgangsspannung sollen dabei nach wie vor gegen Masse gezählt werden. 2

Summe: 20

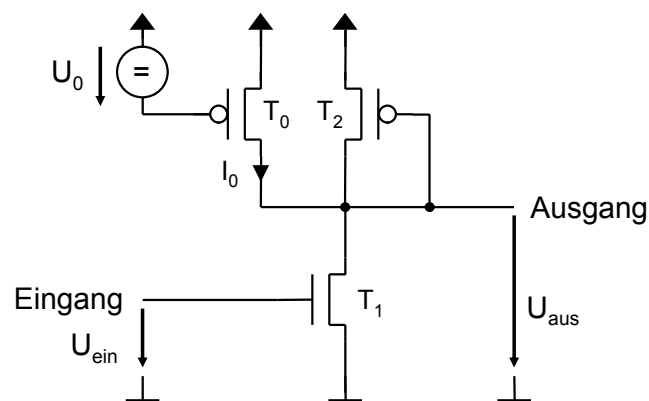


Abbildung zu Aufgabe 3

Aufgabe 4:

Gegeben ist die in der unten stehenden Abbildung gezeigte Schaltung, die eine CMOS-Implementierung einer logischen Verknüpfung realisiert.

- a) Ermitteln Sie durch Betrachtung des Pull-Down-Pfads *im eingerahmten Teil der Schaltung* den logischen Ausdruck, der durch die Gesamtschaltung realisiert wird, und geben Sie die Funktion z in der disjunktiven Normalform an. 4
- b) Nehmen Sie an, dass alle Transistoren minimale Kanallänge L_{min} haben. Nehmen Sie ferner an, dass die nMOS-Transistoren *innerhalb des eingerahmten Teils der Schaltung* alle eine Weite W_n haben. Gehen Sie davon aus, dass die nMOS-Transistoren etwa die zweifache Stromtreibfähigkeit der pMOS-Transistoren besitzen (d.h., dass $k_n \approx 2 k_p$ gilt). Weisen Sie den pMOS-Transistoren *innerhalb des eingerahmten Teils der Schaltung* eine Weite W_p zu. Kriterium ist, dass die Worst-Case-Stromtreibfähigkeiten von Pull-Up- und Pull-Down-Pfad in etwa identisch sein sollen. Geben Sie W_p als Funktion von W_n an. Skizzieren Sie dazu jeweils einen Worst-Case-Pull-Down- und einen Worst-Case-Pull-Up-Pfad und begründen Sie damit Ihre Wahl kurz. 8
- c) Setzen Sie die logische Funktion dieser Schaltung auf Gatterebene um. Verwenden Sie dazu ausschließlich NAND-Gatter mit zwei Eingängen und Inverter. Formen Sie dazu zunächst den Ausdruck für z nach De Morgan um und skizzieren Sie die sich ergebende Schaltung. 6
- d) Wie viele MOS-Transistoren enthält Ihre in c) skizzierte Schaltung, wenn die Gatter als CMOS-Gatter realisiert werden (kurze Begründung oder Angabe der Transistoranzahl pro Gatter in b)). 2

Summe: 20

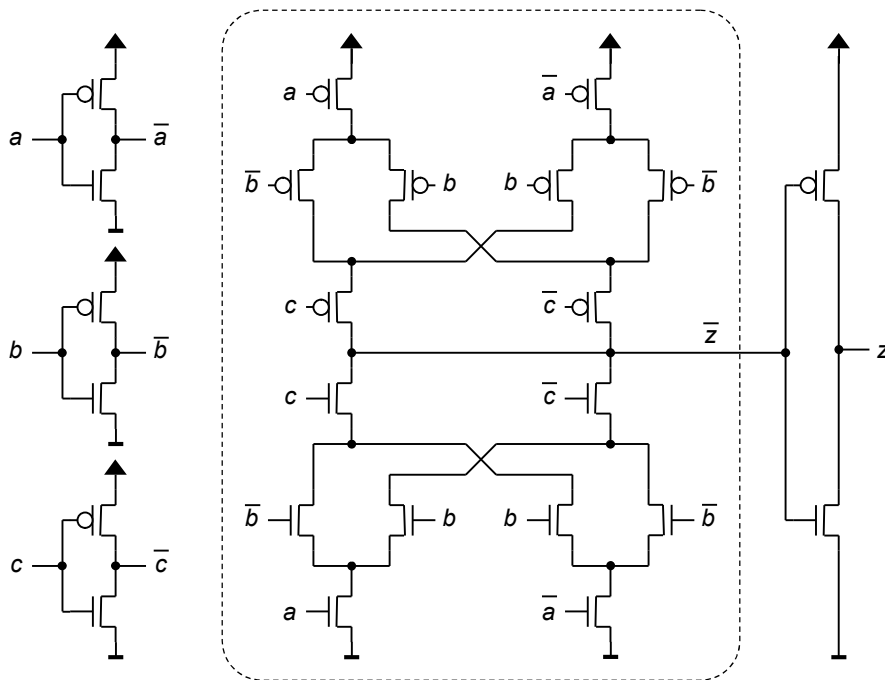


Abbildung zu Aufgabe 4

Aufgabe 5:

Die in der unten stehenden Abbildung gezeigte Schaltung zeigt einen Operationsverstärker-basierten Stromspiegel.

- a) Gehen Sie von einem in jeder Hinsicht idealen Operationsverstärker aus und bestimmen Sie das Stromspiegelverhältnis I_{aus} / I_{ein} als Funktion der Widerstände R_1 und R_2 . Gehen Sie dabei wie folgt vor: 4
- Bestimmen Sie zunächst, welche Spannung sich am invertierenden Eingang des Operationsverstärkers einstellt (U_{ein}) und geben Sie diese an.
 - Berechnen Sie nun die Spannung am Ausgang des Operationsverstärkers ($U_{OP,aus}$) als Funktion von I_{ein} .
 - Berechnen Sie nun den Strom I_{aus} und das Stromspiegelverhältnis I_{aus} / I_{ein} .
- b) Im nächsten Schritt sollen die Aussteuerungsgrenzen eines realen Operationsverstärkers bewertet werden. Der Operationsverstärker soll mit einer symmetrischen Versorgungsspannung bestehend aus U_{DD} und $U_{SS} = -U_{DD}$ betrieben werden, die Ausgangsspannung des Operationsverstärkers liegt innerhalb dieser Grenzen. 6
- Geben Sie den maximalen und den minimalen Ausgangsstrom als Funktion der Spannung U_{aus} , des Widerstandes R_2 und des Wertes der positiven Betriebsspannung U_{DD} an.
- c) Skizzieren Sie I_{aus} als Funktion von $I_{ein} = -1 \text{ mA} \dots +1 \text{ mA}$ für $R_1 = R_2 = 10 \text{ k}\Omega$, $U_{DD} = 5 \text{ V}$, und $U_{aus} = -2 \text{ V}$ bzw. $U_{aus} = +1 \text{ V}$. Berechnen Sie zuvor explizit die Werte der minimalen und maximalen Ausgangsströme für die beiden angegebenen Spannungen U_{aus} . Bitte benutzen Sie für die Skizze das angelegte Arbeitsblatt und bezeichnen Sie die erhaltenen Kurven mit den entsprechenden Werten von U_{aus} . 6

Summe: 16

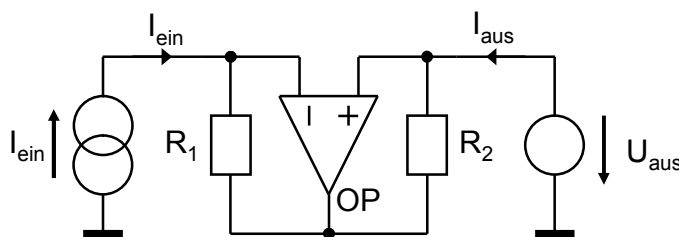


Abbildung zu Aufgabe 5