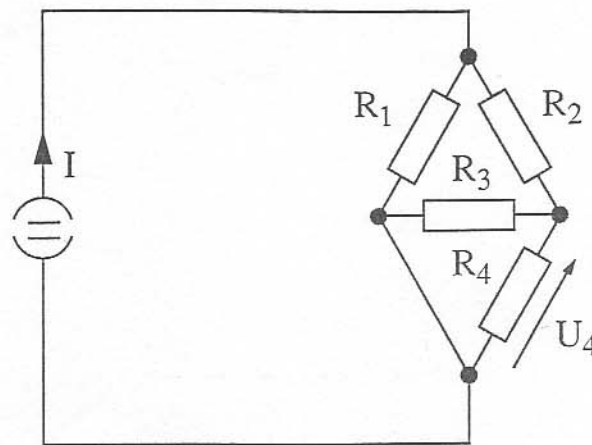


Aufgabe 1: (9 Punkte)

Gegeben ist folgende Schaltung:



$$I = 10\text{mA}$$

$$R_1 = 1\text{k}\Omega$$

$$R_2 = 800\Omega$$

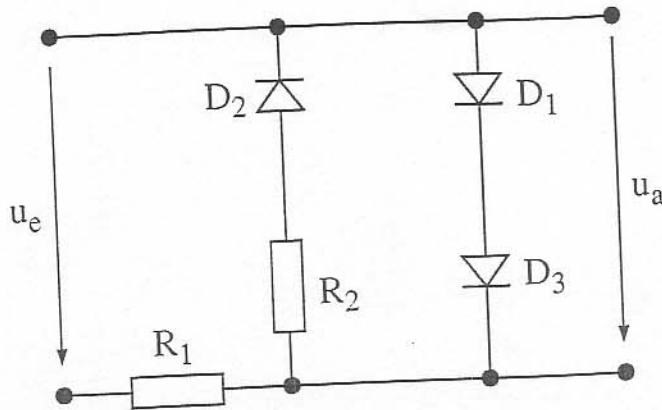
$$R_3 = 300\Omega$$

$$R_4 = 600\Omega$$

Berechnen Sie die am Widerstand R_4 anliegende Spannung U_4 !

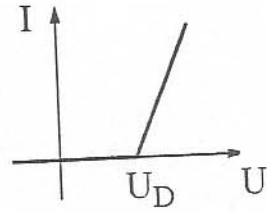
Aufgabe 2: (16 Punkte)

Gegeben ist folgende Schaltung:

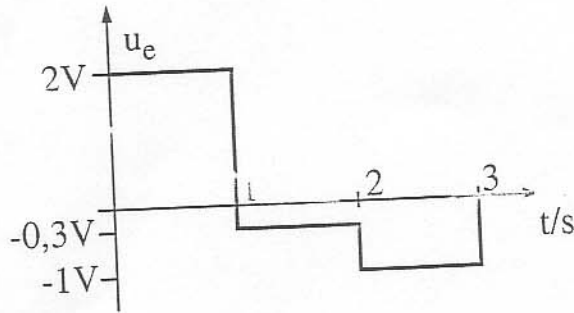


$R_1 = 10\Omega$

$R_2 = 16\Omega$



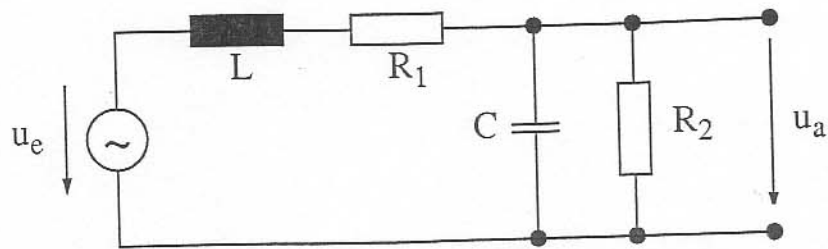
Die Dioden haben die rechts im Bild gegebene Kennlinie mit $U_D = 0,7V$ und $R_B = 1\Omega$.
 An die Schaltung wird die Eingangsspannung u_e mit folgendem zeitlichen Verlauf angelegt:



Berechnen Sie die Ausgangsspannung $u_a(t)$ für $0 < t < 3s$. Wann leiten welche Dioden und warum?

Aufgabe 3: (12 Punkte)

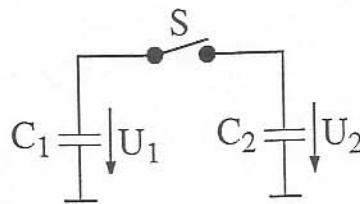
Gegeben ist die folgende Schaltung:



- a) Bestimmen Sie die Dämpfung [$a(j\omega) = 1/A(j\omega)$] der Schaltung!
- b) Welche Dämpfung ergibt sich für die Grenzwerte $f \rightarrow 0$ und $f \rightarrow \infty$?
- c) Welches Verhalten zeigt die Schaltung (Hoch- / Band- / Tiefpaß)?

Aufgabe 4: (11 Punkte)

Gegeben ist die folgende Schaltung mit den Anfangsbedingungen $Q_{10} = 10\mu\text{C}$ und $Q_{20} = 0$:



$$C_1 = 1\mu\text{F}$$

$$C_2 = 3\mu\text{F}$$

Zum Zeitpunkt t_0 wird der Schalter S geschlossen, so daß ein Ladungsausgleich stattfinden kann.

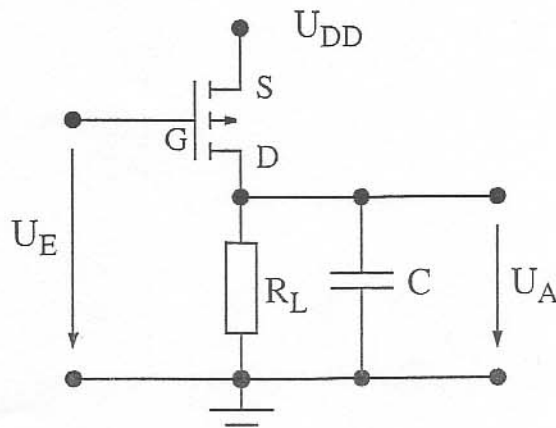
a) Wie groß sind U_1 und U_2 vor dem Ladungsausgleich?

b) Wie groß sind U_1 und U_2 nach dem Ladungsausgleich?

c) Wie groß sind nach dem Ladungsausgleich die Ladungen auf C_1 sowie C_2 ?

Aufgabe 5: (21 Punkte)

Gegeben ist folgende Inverterschaltung:

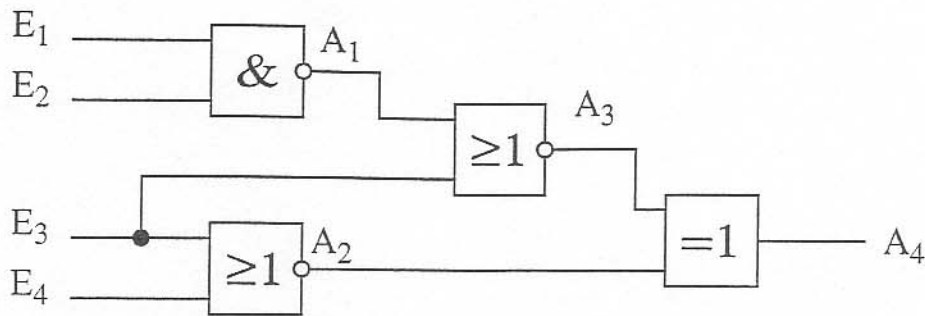


Für den Enhancement-Transistortyp gelten dabei die folgenden Werte: $B_0 = 1 \text{ mA/V}^2$, $W/L = 5$ und $U_T = -1 \text{ V}$, weiterhin ist $R_L = 2 \text{ k}\Omega$, $C = 50 \text{ fF}$ und $U_{DD} = 3,3 \text{ V}$.

- a) Welche Werte kann die Ausgangsspannung U_A minimal bzw. maximal annehmen, wenn die Eingangsspannung auf den Bereich $0 \leq U_E \leq 3,3 \text{ V}$ beschränkt ist?
- b) Welche Abfallzeit weist der kapazitiv belastete Inverter auf, wenn man annimmt, daß der Transistor verzögerungsfrei sperrt?

Aufgabe 6: (11 Punkte)

Gegeben ist folgende Gatterschaltung:



Für die Gatterverzögerungszeiten gilt:

NOR: $t_{pLH} = t_{pHL} = 1\text{ ns}$

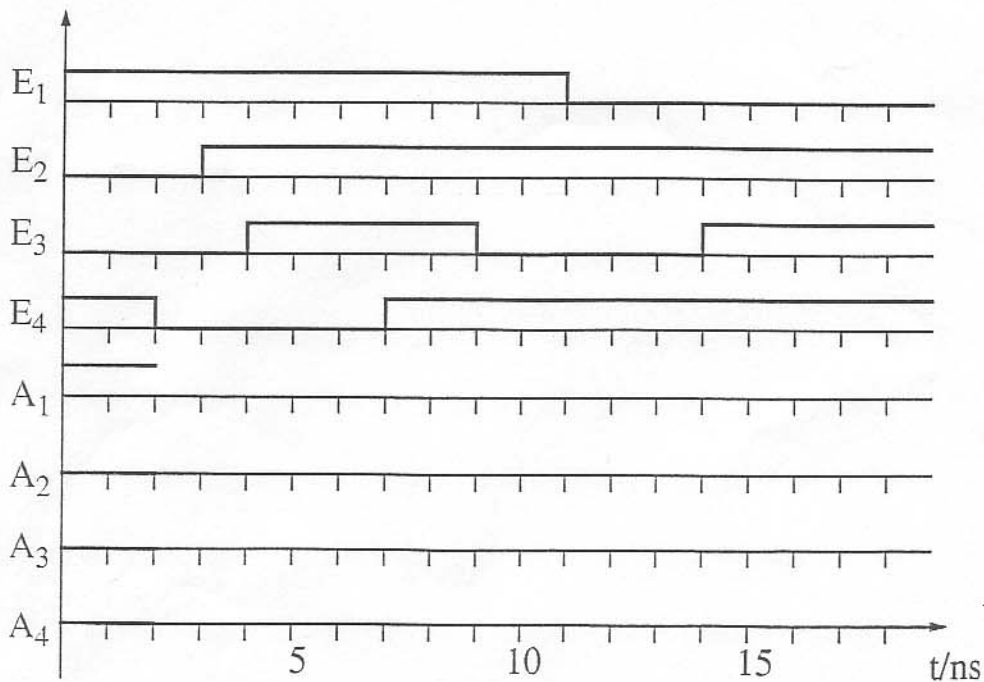
NAND: $t_{pLH} = 2\text{ ns}; t_{pHL} = 1\text{ ns}$

XOR: $t_{pLH} = t_{pHL} = 2\text{ ns}$

Für alle Gatter gilt: $t_r = t_f = 0!$

Zeichnen Sie den Verlauf der Signale an den Punkten A_1 bis A_4 für den gegebenen Eingangssignalverlauf in das nachfolgende Diagramm ein!

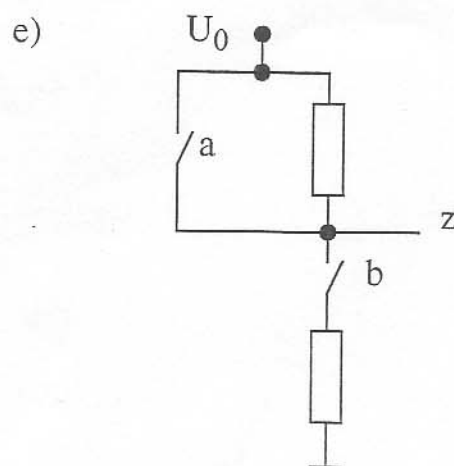
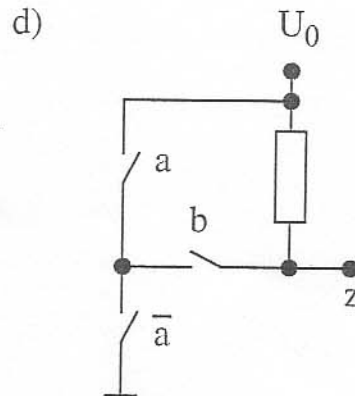
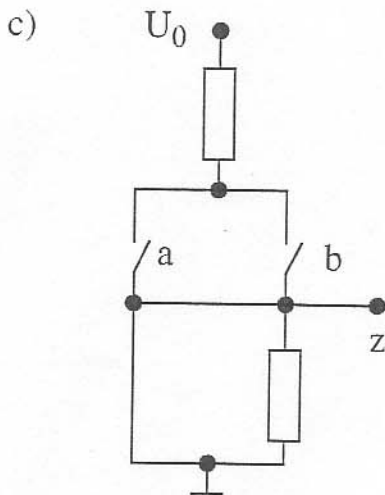
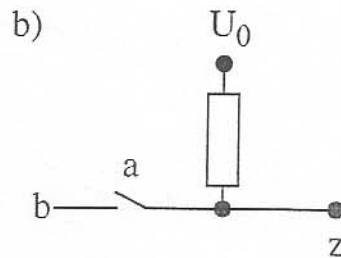
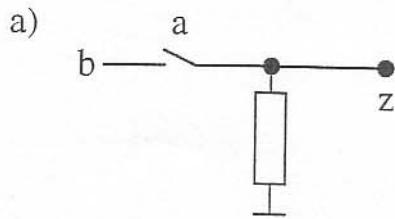
Anmerkung: Zum Zeitpunkt $t_0=0\text{s}$ befinden sich alle Gatter im eingeschwungenen Zustand.



Aufgabe 7: (12 Punkte)

Geben Sie für die folgenden Schaltungen die logische Funktion z für positive Logik an!

Es gelte folgende Logik: Schalter geschlossen = 1, Schalter offen = 0



Aufgabe 8: (8 Punkte)

Entwerfen Sie ein CMOS Komplexgatter mit minimaler Transistorenanzahl, welches die Funktion $y = \bar{a} \cdot \bar{b} + \bar{c}$ realisiert. Als Eingangssignale stehen wahlweise entweder nur die negierten oder nur die nicht negierten Variablen zur Verfügung.